

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087322

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 21/3065

H01L 21/337

H01L 29/808

(21)Application number : 09-248328

(71)Applicant : SONY CORP

(22)Date of filing : 12.09.1997

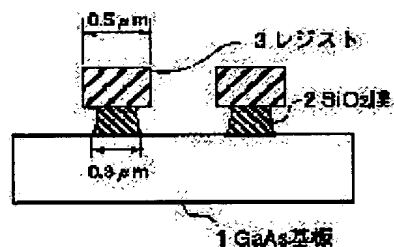
(72)Inventor : NAKAMURA YASUNOBU  
IMOTO TSUTOMU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable fine processing of a strip shape.

SOLUTION: In a process for forming a junction field effect transistor, SiO<sub>2</sub> film 2 is first formed on a gallium arsenide substrate 1, a resist film 3 having a space of 0.5  $\mu$ m is provided on the film 2, and the film 2 is etched by an isotropic dry etcher with an over-etching time and with use of the film 3 as a mask. At this time, the etching is continued until the film 2 under the film 3 has a line width of 0.3  $\mu$ m. Then a plasma Si<sub>3</sub>N<sub>4</sub> film is deposited by a CVD process on the film 2 and a GaAs substrate 1 and is subjected on its full surface to an etch-back process by the isotropic dry etcher to be planarized, the SiO<sub>2</sub> film 2 is subjected to a web etching process with the use of hydrofluoric acid for forming a gate window opening pattern having a width of 0.3  $\mu$ m.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

1195

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87322

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/3065  
21/337  
29/808H 0 1 L 21/302  
29/80J  
C

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平9-248328

(22) 出願日

平成9年(1997) 9月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 安展

東京都品川区北品川6丁目7番35号ソニー  
株式会社内

(72) 発明者 井本 努

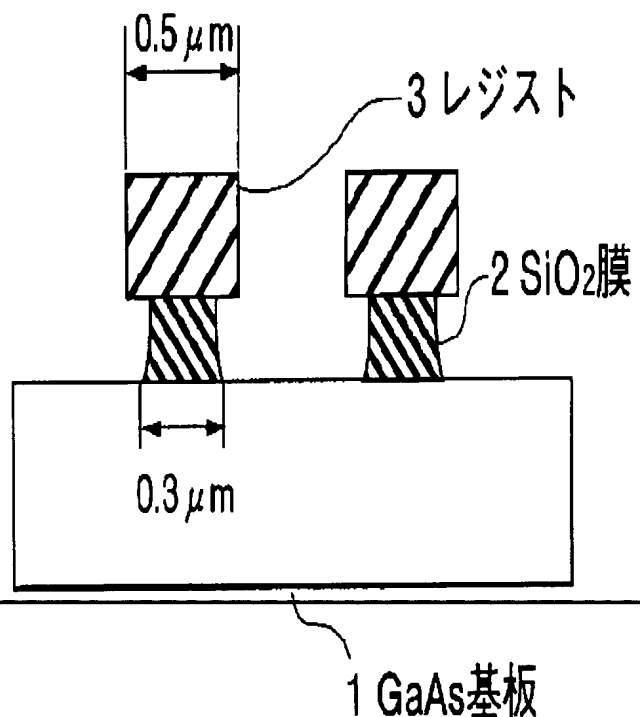
東京都品川区北品川6丁目7番35号ソニー  
株式会社内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 スリット状の微細加工ができる半導体装置の製造方法を提供する。

【解決手段】 接合型電界効果トランジスタを形成するプロセスで、まず、ガリウム砒素基板1上にSiC<sub>2</sub>膜2を形成し、SiO<sub>2</sub>膜2上に0.5μmスペースのレジスト膜3を設け、レジスト膜3をマスクとしてSiO<sub>2</sub>膜2を等方性ドライエッチャーでエッチング時間をオーバーにしてエッチングする。この際、レジスト膜3の下SiO<sub>2</sub>膜2の線幅が0.3μmになるまでエッチングする。次に、SiO<sub>2</sub>膜2及びGaAs基板1の上にプラズマSi<sub>3</sub>N<sub>4</sub>膜をCVD成膜し、Si<sub>3</sub>N<sub>4</sub>膜を全面等方性ドライエッチャーでエッチバックし、Si<sub>3</sub>N<sub>4</sub>膜を平坦化し、SiO<sub>2</sub>膜2をフッ酸でウェットエッチングし、Si<sub>3</sub>N<sub>4</sub>膜5に0.3μm幅のゲート窓開けパターンを形成する。



# 【特許請求の範囲】

【請求項1】 基板の上に絶縁膜を形成する工程と、この絶縁膜の上にマスク膜を設ける工程と、このマスク膜をマスクとして該絶縁膜を等方性オーバーエッチングする工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項2】 上記等方性オーバーエッチングする工程の後に、該マスク膜を除去する工程と、該絶縁膜及び該基板の上に該絶縁膜とエッチングレートの異なる膜を形成する工程と、この膜をエッチバックする工程と、該絶縁膜を除去する工程をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

# 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係わり、特に、スリット状の微細加工ができる半導体装置の製造方法に関する。

## 【0002】

【従来の技術】図8（a）～（e）は、従来の半導体装置の製造方法（接合型電界効果トランジスター（JFET）の製造工程の一部）を示す断面図である。

【0003】まず、図8（a）に示すように、ガリウム砒素基板（GaAs基板）51の表面上にはCVD（Chemical Vapor Deposition）法により第1のプラズマSi<sub>3</sub>N<sub>4</sub>膜53が成膜される。次に、このプラズマSi<sub>3</sub>N<sub>4</sub>膜53の上には細長いスリット状のゲートのパターンを有するホトレジスト膜55が設けられる。このスリットの幅は例えば0.6μmである。

【0004】この後、図8（b）に示すように、ホトレジスト膜55をマスクとしてエッチングすることによりSi<sub>3</sub>N<sub>4</sub>膜53が0.6μmに窓開けされる。この際、GaAs基板51上にはSi<sub>3</sub>N<sub>4</sub>膜53が50nm程度残される。これは、エッチングによるGaAs基板51表面のダメージを抑えるためである。

【0005】次に、図8（c）に示すように、ホトレジスト膜55が剥離される。この後、図8（d）に示すように、第1のSi<sub>3</sub>N<sub>4</sub>膜53の上にはCVD法によりさらに第2のプラズマSi<sub>3</sub>N<sub>4</sub>膜57が成膜される。これにより、第1のSi<sub>3</sub>N<sub>4</sub>膜53における凸状の部分の側壁にも第2のSi<sub>3</sub>N<sub>4</sub>膜57が成膜されるため、0.6μm幅のスリット状パターンを0.4μm幅のスリット状パターンとすることができる。

【0006】この後、図8（e）に示すように、第1、第2のSi<sub>3</sub>N<sub>4</sub>膜53、57は全面異方性ドライエッチャーによりエッチングされる。このとき、微細なスリット状パターンの側壁はエッチングされにくいので、このエッチングによりスリットの底部のSi<sub>3</sub>N<sub>4</sub>膜53、57が除去されることとなる。この結果、0.6μmのホトレジストパターンにより、GaAs基板51上に0.4μmのSi<sub>3</sub>N<sub>4</sub>膜53のゲート窓開けを行う

ことができる。

## 【0007】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法では、0.4μmのゲート窓開けを行っているが、これ以上の微細化を行うとすると、図8

（d）の工程で第2のSi<sub>3</sub>N<sub>4</sub>膜57をさらに厚く形成しなければならない。こうすると図8（e）に示すSi<sub>3</sub>N<sub>4</sub>膜が厚くなってしまい、その結果、ゲートが埋もれてしまうこととなる。従って、従来の半導体装置の製造方法では、0.4μmのゲート窓開けを行うのが限界であった。

【0008】また、図8（e）の工程では、直接ガリウム砒素面を異方性エッチャーで開口するため、ガリウム砒素面が基板上で不均一にエッチングされてしまう。これにより、ゲート直下のチャネル幅が基板上でばらつくため、歩留が低下する原因となる。また、プラズマSi<sub>3</sub>N<sub>4</sub>膜はエッチングレートが速いため、エッチング量の制御が困難である。

【0009】本発明は上記のような事情を考慮してなされたものであり、その目的は、スリット状の微細加工ができる半導体装置の製造方法を提供することにある。

## 【0010】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置の製造方法は、基板の上に絶縁膜を形成する工程と、この絶縁膜の上にマスク膜を設ける工程と、このマスク膜をマスクとして該絶縁膜を等方性オーバーエッチングする工程と、を具備することを特徴とする。

【0011】また、上記等方性オーバーエッチングする工程の後に、該マスク膜を除去する工程と、該絶縁膜及び該基板の上に該絶縁膜とエッチングレートの異なる膜を形成する工程と、この膜をエッチバックする工程と、該絶縁膜を除去する工程をさらに含むことが好ましい。

【0012】上記半導体装置の製造方法では、マスク膜をマスクとして絶縁膜を等方性オーバーエッチングすることにより、該マスク膜の直下の絶縁膜はその側壁までエッチングされる。このため、マスク膜の幅より狭い幅の絶縁膜を形成することができる。このため、絶縁膜の等方性オーバーエッチングで線幅を制御できることとなる。

【0013】尚、基板は、例えばガリウム砒素基板であっても良いが、他の基板を用いることも可能である。また、絶縁膜にはSiO<sub>2</sub>膜を用いることが好ましい。また、マスク膜にはレジスト膜を用いることが好ましい。また、該絶縁膜とエッチングレートの異なる膜にはSi<sub>3</sub>N<sub>4</sub>膜を用いることが好ましい。

## 【0014】

【発明の実施の形態】以下、図面を参照して本発明の一実施の形態について説明する。図1～図7は、本発明の実施の形態による半導体装置の製造方法を示す断面図で

ある。

【0015】先ず、図1に示すように、ガリウム砒素基板（GaAs基板）1の表面上にはCVD法によりSiO<sub>2</sub>膜2が成膜される。次に、このSiO<sub>2</sub>膜2の上には細長いスリット状のゲートのパターンを形成するためのホトレジスト膜3が設けられる。このホトレジスト膜3はパターンニングされ、ホトレジスト膜3の幅は例えば0.5μmとなる。

【0016】この後、図2に示すように、ホトレジスト膜3をマスクとしてSiO<sub>2</sub>膜2が等方性ドライエッチャーでエッチング時間をオーバーにしてエッチングされる。この際、ホトレジスト膜3の下SiO<sub>2</sub>膜2の線幅が0.3μmのラインパターンになるまでエッチングされる。

【0017】次に、図3に示すように、ホトレジスト膜3が剥離され、GaAs基板1上にはエッチング後SiO<sub>2</sub>膜パターンが形成される。即ち、GaAs基板1上には0.3μm幅の凸状パターンからなるSiO<sub>2</sub>膜2が形成される。

【0018】この後、図4に示すように、この凸状のSiO<sub>2</sub>膜2及びGaAs基板1の上にはCVD法によりプラズマSi<sub>3</sub>N<sub>4</sub>膜5が成膜される。この際、凸状のSiO<sub>2</sub>膜2の上には凸部5aが形成される。

【0019】次に、図5に示すように、Si<sub>3</sub>N<sub>4</sub>膜5の上にはエッチバック用のレジスト膜6が設けられる。このレジスト膜6は、エッチバックに用いる反応性イオンエッチングに対してプラズマSi<sub>3</sub>N<sub>4</sub>膜5と同じエッチング速度（Si<sub>3</sub>N<sub>4</sub>膜5とレジスト膜6との選択比が1：1）を持つものである。

【0020】この後、図6に示すように、レジスト膜6及びSi<sub>3</sub>N<sub>4</sub>膜5は等方性ドライエッチャーにより凸状のSiO<sub>2</sub>膜2の上面まで全面エッチングされる。この結果、レジスト膜6及びSi<sub>3</sub>N<sub>4</sub>膜5の凸部5aがエッチングされ、SiO<sub>2</sub>膜2の上面が露出するとともにSi<sub>3</sub>N<sub>4</sub>膜5が平坦化される。従って、平坦なSi<sub>3</sub>N<sub>4</sub>膜5にSiO<sub>2</sub>膜2が埋め込まれたような状態となる。

【0021】次に、図7に示すように、SiO<sub>2</sub>膜2をフッ酸などのウェットエッチング液でエッチングすることにより、Si<sub>3</sub>N<sub>4</sub>膜5にはスリット状のパターンである0.3μm幅のゲート窓開け部（ゲート窓開けパターン）8が形成される。

【0022】上記実施の形態によれば、図2の工程でホトレジスト膜3をマスクとして等方性ドライエッチャーでエッチング時間をオーバーにしてSiO<sub>2</sub>膜2をエッチングすることにより、投影露光装置以上の微細パターンの形状加工が可能となり、0.5μm幅のレジスト膜3を用いてより細い0.3μm幅のSiO<sub>2</sub>膜2を形成することができる。この0.3μm幅のSiO<sub>2</sub>膜2がそのまま図7に示すゲート窓開け部8になるため、Si

O<sub>2</sub>膜2のオーバーエッチングで線幅をコントロールできることとなる。したがって、従来の半導体装置の製造方法によるゲート窓開けでは限界とされていた0.4μm幅より微細な0.3μm幅のゲート窓開けが可能となる。

【0023】また、従来の半導体装置の製造方法の図8（e）に示す工程のように直接ガリウム砒素面が異方性ドライエッチャーでエッチングされることがない。このため、プラズマダメージを受けることなくゲートの加工ができる。その結果、JFETの歩留を向上させることができ、JFETの特性であるV<sub>th</sub>（しきい値）を容易にコントロールできる。また、ゲート部のガリウム砒素面がエッチングされないため、基板面内でのチャネル幅の均一性を向上させることができ、ゲート拡散の回数を減らすことができる。これは、半導体装置の生産性の向上につながる。

【0024】また、図2の工程でホトレジスト膜3をマスクとしてSiO<sub>2</sub>膜2をエッチングするが、SiO<sub>2</sub>のエッチングレートが安定しているため、SiO<sub>2</sub>膜2をオーバーエッチングする際のエッチング量の制御が容易である。これは、半導体装置の生産性の向上につながる。

【0025】

【発明の効果】以上説明したように本発明によれば、マスク膜をマスクとして絶縁膜を等方性オーバーエッチングしている。したがって、スリット状の微細加工ができる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】本発明の実施の形態による半導体装置の製造方法を示すものであり、図1の次の工程を示す断面図である。

【図3】本発明の実施の形態による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図である。

【図4】本発明の実施の形態による半導体装置の製造方法を示すものであり、図3の次の工程を示す断面図である。

【図5】本発明の実施の形態による半導体装置の製造方法を示すものであり、図4の次の工程を示す断面図である。

【図6】本発明の実施の形態による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図である。

【図7】本発明の実施の形態による半導体装置の製造方法を示すものであり、図6の次の工程を示す断面図である。

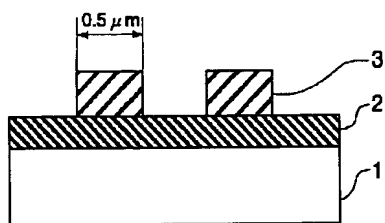
【図8】図8（a）～（e）は、従来の半導体装置の製造方法を示す断面図である。

## 【符号の説明】

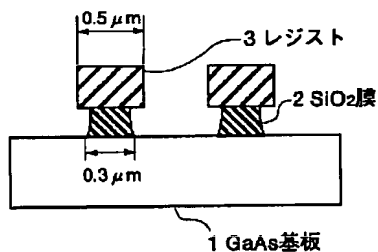
1…ガリウム砒素基板（GaAs基板）、2…SiC<sub>2</sub>膜、3…ホットレジスト膜、5…プラズマSi<sub>3</sub>N<sub>4</sub>膜、5a…凸部、6…レジスト膜、8…ゲート窓開け部（ゲ

ート窓開けパターン）、51…ガリウム砒素基板（GaAs基板）、53…第1のプラズマSi<sub>3</sub>N<sub>4</sub>膜、55…ホットレジスト膜、57…第2のプラズマSi<sub>3</sub>N<sub>4</sub>膜。

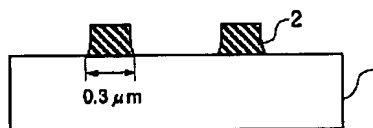
【図1】



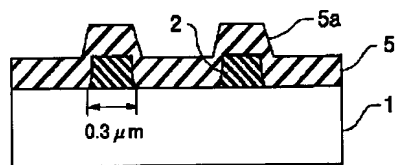
【図2】



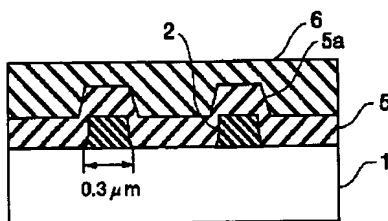
【図3】



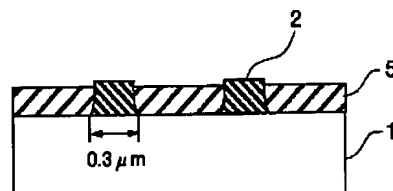
【図4】



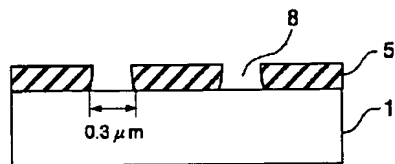
【図5】



【図6】



【図7】



【図8】

